

ОБЩИЕ ВОПРОСЫ ЭЛЕКТРОМЕХАНИКИ

УДК 621.313

УСОВЕРШЕНСТВОВАНИЕ ЦИФРОВОГО РЕГУЛЯТОРА СИСТЕМЫ УПРАВЛЕНИЯ МАГНИТНЫМ ПОДВЕСОМ

И.В. Гурова, В.П. Верещагин

Рассмотрены основные особенности преобразования сигналов при цифровом управлении системой магнитного подвеса (СМП). Проведена оценка влияния ошибок цифрового управления на качество управления и предложены пути уменьшения этих негативных эффектов, обусловленных применением цифрового управления. Проанализированы преимущества и недостатки четырёх наиболее часто применяемых вариантов основы для платформ реализации цифрового управления. Для усовершенствования регулятора системы управления магнитным подвесом выбран один из этих вариантов – ПЛИС, обладающий оптимальными для реализации управления СМП свойствами, в конечном итоге выражающимися в минимальной задержке вычислений и удобстве разработки регулятора на его основе. Обоснован выбор базовой структуры усовершенствованного цифрового регулятора системы управления магнитным подвесом, реализованного в виде макета на основе ПЛИС. Подробно рассмотрена реализация на ПЛИС блока цифровой обработки сигналов, как наиболее сложного для разработки и обладающего критичными к требованиям временными характеристиками. Проведено экспериментальное исследование макетного образца регулятора. Представленные результаты макетирования и их анализ свидетельствуют о перспективности использования ПЛИС для решения задач повышения быстродействия и функциональности цифровых регуляторов СМП.

Ключевые слова: цифровой регулятор, система магнитного подвеса, структура вычислителя, макет регулятора на основе ПЛИС.

Выбор вычислительной платформы

В современных системах магнитного подвеса (СМП) широко используется цифровое управление токами в электромагнитах, обладающее рядом известных преимуществ по сравнению с аналоговым [1, 2]. Однако, следует обратить внимание, что особенностями цифрового управления являются такие неотъемлемые свойства, как наличие дополнительных временных задержек на преобразования и вычисления и квантование сигналов по уровню. Негативное влияние этих факторов можно существенно уменьшить при использовании современной высокопроизводительной технологической платформы. В частности, степень влияния квантования для СМП уменьшается до приемлемого уровня с помощью выбора АЦП и вычислителей достаточно большой разрядности. Снижение временных задержек требует комплексного подхода и состоит в нахождении баланса между приемлемой для системы управления величиной ошибок управления и сложностью реализации алгоритма управления. Следует учитывать, что ошибки управления включают в себя перечисленные временные задержки и погрешности из-за несоответствия реальных объектов их моделям, на основании которых строится управление.

Погрешности моделирования объектов могут приводить к неправильному управлению этими объектами, поскольку реализуются закономерности на основании этих моделей. В конечном итоге

это выражается в ухудшении частотных характеристик СМП, нарушении устойчивости и росту виброперемещений ротора. Для уменьшения несоответствия требуется уточнение моделей составляющих частей СМП [3] и коррекция управления по этим новым моделям. Уточнение моделей приводит к усложнению алгоритма, что ведёт к увеличению количества математических операций в регуляторе, а значит к усложнению реализации и увеличению времени вычислений в регуляторе, т. е. временных задержек.

В качестве примера рассмотрим, что наличие временных задержек также приводит к ухудшению частотных характеристик СМП, и, соответственно, снижению качества регулирования. На рис. 1 красным цветом изображён вклад, вносимый в общую ФЧХ СМП задержками на вычисления в размере 60 мкс. Чёрный цвет – СМП с идеальным вычислителем, производящим расчёты мгновенно, т. е. имеющим нулевую задержку. Синим цветом обозначена ФЧХ СМП с задержкой в вычислителе, равной 60 мкс. Очевидно, что чем больше задержки, тем меньше будет итоговый запас фазы в СМП, являющийся важным показателем обеспечения устойчивости системы. По этой причине необходимо стремиться к уменьшению задержек во всех составляющих системы, в том числе в регуляторе.

Исходя из описанного выше, можно сформулировать одну из задач усовершенствования СМП следующим образом: создать регулятор, работаю-

щий по принятому во ВНИИЭМ [4] базовому алгоритму, имеющий задержку не более 60 мкс. При этом он должен быть максимально прост в реализации, иметь минимальные задержки на вычисления и допускать возможность усложнения алгоритма (например такого, как наблюдатель состояния электромагнита [3]).

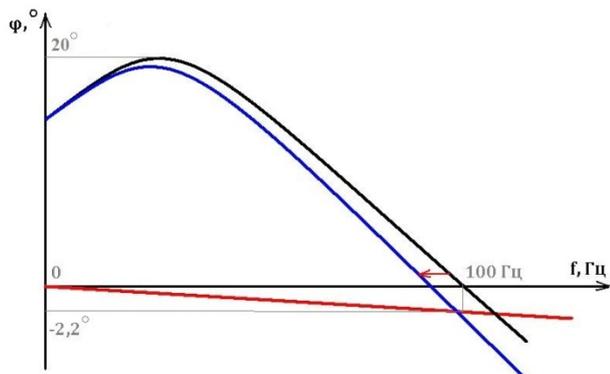


Рис. 1. Влияние задержек в регуляторе на ФЧХ СМП

На современном уровне развития микроэлектронной базы возможны различные практические решения указанной задачи, которые рассмотрены в данной статье.

Для составления платформы для цифрового регулятора СМП необходимы ЦАП, АЦП, память, пользовательские интерфейсы для обмена данными и настройками регулятора. Центральным звеном, управляющим этими составляющими платформы по некоторому закону, построенному исходя из моделей СМП, является вычислитель. Это наиболее сложная для реализации составная часть регулятора.

Для управления системами на практике обычно используются четыре класса цифровых устройств, на базе которых можно построить платформу:

- промышленные микроконтроллеры;
- готовые встраиваемые решения, являющиеся, по сути, компьютерами со специфическими операционными системами;
- сигнальные процессоры с ЦОС-блоками и микроконтроллеры на их основе (чаще называемые DSP-контроллеры);
- программируемые логические интегральные схемы (ПЛИС).

Традиционные и наиболее простые в применении промышленные контроллеры содержат в себе компоненты, необходимые для создания платформы – ЦАП, АЦП, интерфейсы, память, и прочее. Однако при этом они не могут обеспечить доста-

точной скорости обработки информации, так как изначально не ориентированы на выполнение большого числа математических операций из области ЦОС.

Готовые встраиваемые решения, как правило, имеют сравнительно большую стоимость и сложность, так как производители делают их максимально универсальными в применении. Кроме того, в них используются операционные системы мягкого реального времени, которые чаще всего не могут гарантировать выполнение задач за определенный маленький промежуток времени (60 мкс для СМП). Выполнение же этого критического для управления СМП требования на платформе готовых решений сопряжено с дополнительными трудностями и издержками.

Сигнальные процессоры, имеющие в своём составе специальные блоки ЦОС, обычно очень узкоспециализированы на вычислениях и требуют тщательного подбора и зачастую дополнительной организации интерфейсов к ним. Сигнальные процессоры оправдывают своё применение в случае, если необходимая последовательность математических действий совпадает с архитектурой процессора, т. е. если алгоритм управления «удобно ложится» на архитектуру процессора [5]. Помимо этого, на сигнальном процессоре все действия выполняются последовательно. Иногда в архитектуре процессора реализован частичный параллелизм вычислений, но обычно он направлен на решение очень специфических задач и поэтому не может быть использован в СМП.

Рассмотрим приблизительную последовательность действий, выполняемую сигнальным процессором при реализации регулятора СМП на его базе (рис. 2, а): поочерёдное чтение всех АЦП, запись данных в ОЗУ, вычисление адресов и считывание из ОЗУ коэффициентов регулятора, математические операции ЦОС, формирование ШИМ, сигналов на ЦАП, обслуживание периферии и пользовательского интерфейса – каждое из этих многочисленных действий занимает по несколько тактов работы процессора. На рис. 2, а подписано необходимое количество тактов для каждого действия. Таким образом, для выполнения только лишь базового алгоритма блока ЦОС (рис. 3) всех пяти каналов общее количество тактов работы сигнального процессора – не менее 3000, что составляет 16 мкс при типичной тактовой частоте 200 МГц. Учитывая, что планируется дополнение регулятора наблюдателем состояния [3], и необходимы операции по самообслуживанию процессора, можно сделать вывод, что реализация регулятора на плат-

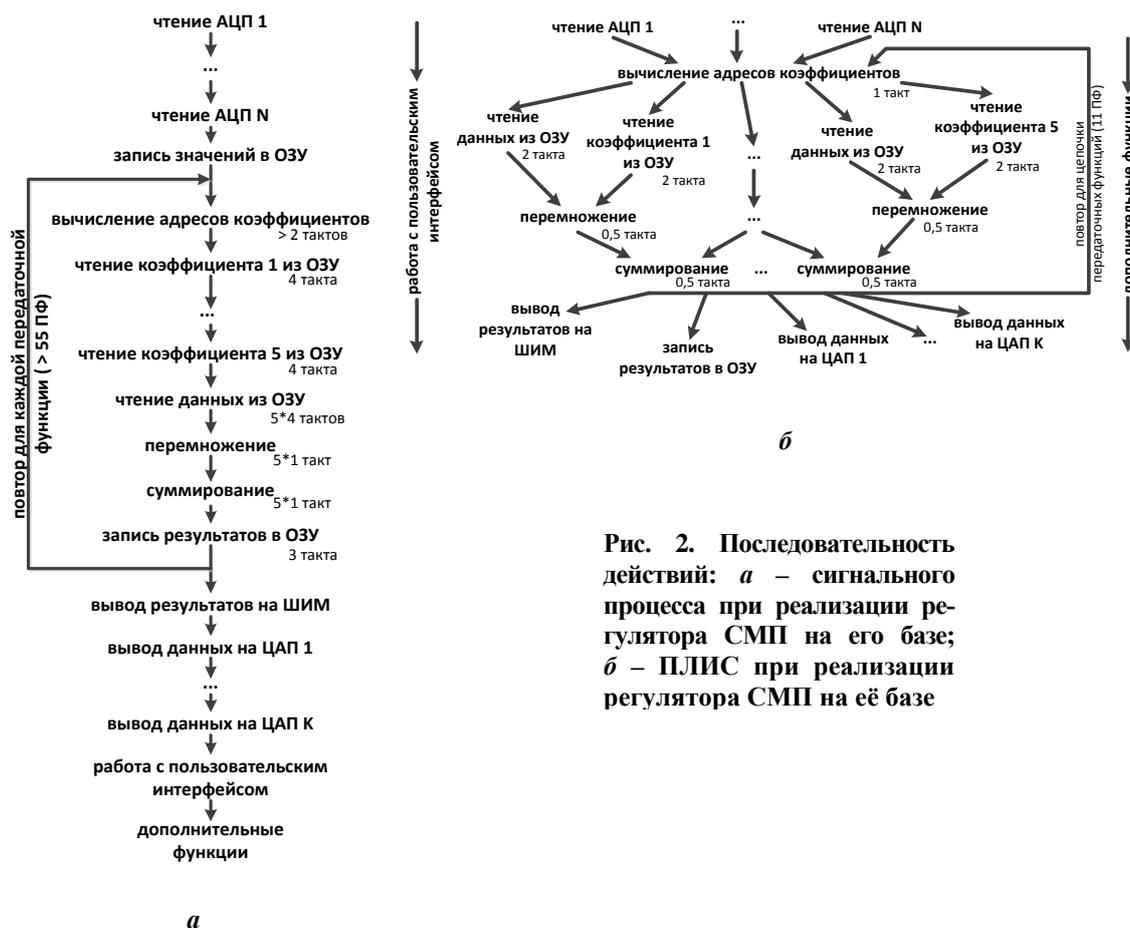


Рис. 2. Последовательность действий: *а* – сигнального процесса при реализации регулятора СМП на его базе; *б* – ПЛИС при реализации регулятора СМП на её базе

форме с сигнальным процессором возможна, но будут присутствовать строгие временные ограничения.

Применение ПЛИС в задачах ЦОС является хорошей альтернативой сигнальным процессорам. Вообще проблема выбора ПЛИС или сигнального процессора для того или иного применения рассматривается во множестве статей, например [2, 5, 6]. Прикладные проекты на ПЛИС являются машинами параллельного действия, и поэтому при их создании нет жёстких ограничений на производительность и нестандартность алгоритмов. ПЛИС позволяет реализовать свой собственный контроллер, не ограничиваясь какой-либо заранее созданной архитектурой. Если в микроконтроллере все внутренние соединения транзисторов жёстко заданы производителем, то в ПЛИС все связи задаются пользовательской конфигурацией. Переконфигурировав внутренние блоки нужным образом, можно получить микросхему, на аппаратном уровне выполняющую нужные действия.

Структура ПЛИС универсальна, и с их помощью можно решать как задачи ЦОС, так и реализации интерфейсов и переформатирования данных.

Это существенно расширяет круг подходящих обслуживающих центральный вычислитель микросхем, таких как АЦП, тактовый генератор, память, поскольку подойдёт абсолютно любой их тип. Вследствие этого упрощается разработка платформ регулятора.

На ПЛИС множество операций производится параллельно, независимо друг от друга.

Каждый из модулей подготавливает новые данные к определённому моменту времени, когда они могут понадобиться другому модулю (рис. 2, б). Таким образом, задержка определяется только цепочками последовательных модулей, которые не могут быть распараллелены из-за алгоритма вычисления. В случае реализации базового алгоритма регулятора СМП, это только чтение данных с АЦП и блок ЦОС. Вычисление всего блока ЦОС занимает ориентировочно 60 тактов. Таким образом, при стандартной частоте работы ПЛИС 50 МГц, задержка на регуляторе составит не более 2 мкс.

Кроме быстродействия есть другие важные качества реализации управления СМП на ПЛИС. Например, большая гибкость архитектуры, которая обеспечивается следующими возможностями:

- переназначение вводов/выводов микросхемы под любой интерфейс;
- создание любых взаимосвязей модулей;
- синхронизация параллельных и последовательных потоков данных в модулях;
- изменение модулей независимо друг от друга;
- добавление копии любого из уже используемых модулей или нового модуля без влияния на другие модули.

Это существенно уменьшает трудозатраты на создание регулятора, достигается глубокая оптимизация внутренней структуры и отсутствие избыточности. Стандартные логические элементы ПЛИС также обеспечивают хорошую модифицируемость и портируемость на уровне кода, т. е. возможность использования однажды написанного кода для любой модели и производителя ПЛИС. Кроме того, сигнальные процессоры, микроконтроллеры и ПЛИС имеют одинаковый порядок стоимости микросхем.

Учитывая всё вышесказанное, приходим к выводу, что для реализации регулятора СМП наиболее подходит платформа, основным устройством которой является ПЛИС. В качестве макета такой платформы была выбрана отладочная плата Terasic DE2-115 с ПЛИС Altera Cyclone IV, имеющая достаточное количество встроенных DSP-блоков, встроенной памяти и большой запас логических элементов. К макетной плате были дополнительно подключены отладочные платы АЦП, ЦАП и преобразователь уровней ШИМ-сигналов.

Структура вычислителя на ПЛИС

Управление СМП реализуется в виде регулятора, управляющего усилителями токов в магнитах на основании данных о положении ротора и о силе тока в магнитах в текущий момент времени. Программную часть цифрового регулятора будем называть вычислителем.

Фактически, вычислитель – это система жёсткого реального времени. В базовом виде она включает в себя пять каналов управления, состоящих из функциональных блоков:

- чтения и преобразования данных с трёх каналов АЦП;
- обработки этих данных передаточными функциями второго порядка (цифровой обработки сигналов – ЦОС);
- хранения этих коэффициентов и других настроек;
- выдачи результатов вычислений на два ЦАПа;
- формирования двух ШИМ-сигналов управления усилителями тока;

- интерфейса для изменения коэффициентов регулятора извне.

В данной статье при программной реализации на платформе с ПЛИС каждому функциональному блоку вычислителя соответствует свой программный модуль. Каждый модуль имеет по несколько связей с другими модулями. Все модули работают одновременно друг с другом, т. е. параллельно, как это показано на рис. 2, б. Например, в то время как модуль ЦОС обчисляет значения, модуль АЦП считывает новые значения для расчётов на следующем шаге. Обмен данными с внешним ПК также идёт одновременно и параллельно. Синхронизация параллельных процессов составляет трудоёмкую практическую задачу при разработке программ для ПЛИС, которой уделялось много внимания при проектировании структурной схемы. Учитывая, что каналов управления пять, и они независимы, все каналы также распараллелены.

Рассмотрим структуру блока ЦОС одного канала управления.

Как показано на рис. 3, блок ЦОС состоит из соединённых в определённом порядке 11 передаточных функций второго порядка (ПФ), 6 умножений (5 из них – на коэффициенты (КОЭФ)) и 10 суммирований, часть из них с константами (КОНСТ). При таком количестве математических операций с 64-битными числами, алгоритм можно считать сложным для реализации в быстродействующих системах жёсткого реального времени и требующим больших вычислительных ресурсов. Наиболее ресурсоёмкая его часть – ПФ, математически представляемые в виде разностных уравнений, выполнены в виде программной структуры, представленной на рис. 4.

Она состоит из 5 умножений, 4 сложений, 9 блоков памяти («РУ», «РРУ», «РХ», «РРХ» – для значений, сохранённых на предыдущих шагах; «А», «В» – для коэффициентов ПФ, заранее преобразованных из значений для ПФ аналогового вида в значения для цифровых ПФ). Для вычислителя системы управления СМП принята точность вычислений – 64 бита со знаком и фиксированной запятой.

ПФ использует стандартные логические элементы (ЛЭ) ПЛИС, встроенную память и умножители, и основная часть ресурсов, используемых в вычислителе, заняты именно в ПФ (~80 %). Итоговое количество ресурсов ПЛИС, требующихся для реализации одного канала регулирования по схеме рис. 3 с описанными модулями ЦОС и ПФ по результатам создания ПО составляет в среднем не более 10% от общего числа ресурсов микросхемы,

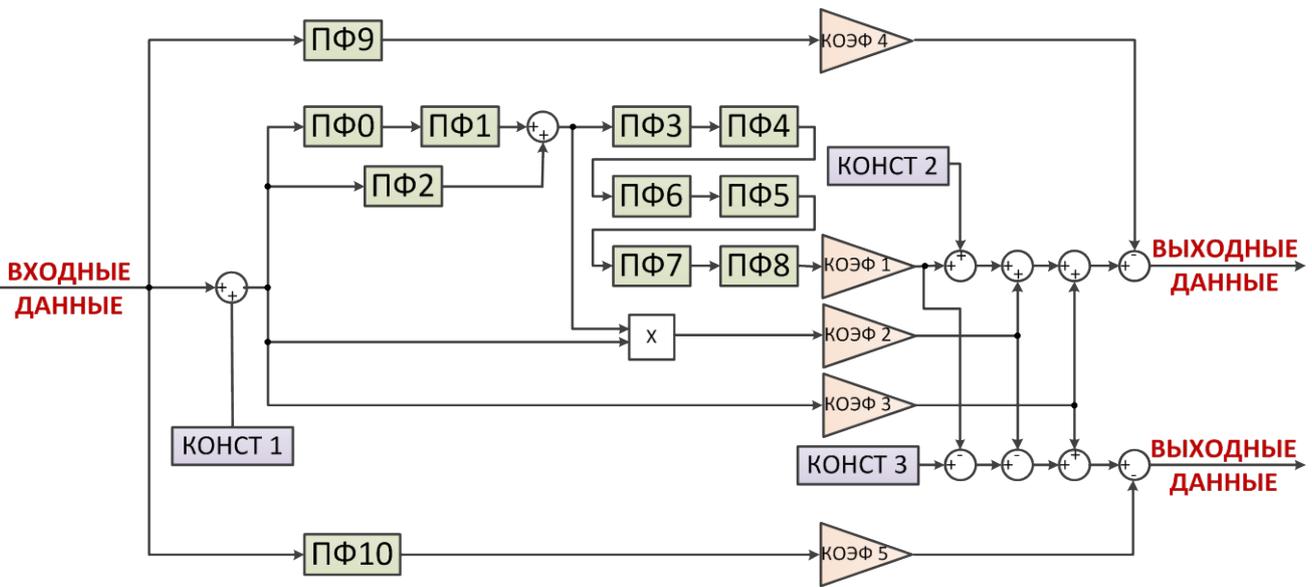


Рис. 3. Базовый алгоритм регулятора

следовательно, на используемой ПЛИС возможно реализовать необходимое количество каналов управления, при этом останется существенный запас ресурсов для планируемого дополнительного функционала в виде наблюдателя состояния СМП для управления по магнитному потоку [4].

Проведённое макетирование подтвердило полную работоспособность регулятора в соответствии с приведённым на рис. 3 алгоритмом ЦОС.

Для демонстрации скоростных характеристик приведём результаты макетирования блока ЦОС с нулевыми коэффициентами. На входные АЦП подавался синусоидальный сигнал 3 и 1кГц (на рис. 5 обозначен зелёным), с ЦАП после прохождения блока ЦОС снимался сигнал после обработки, т.е. тот же сигнал (на рис. 5 обозначен красным).

По результатам макетирования видно, что в реализованном регуляторе задержка прохождения сигнала составляет 14 мкс, причём из документации известно, что из них задержка на использованных при макетировании АЦП составляет 12 мкс (т. е. более 80 %), а значит, задержка на вычислителе – не более $14 - 12 = 2$ мкс.

Таким образом, экспериментально подтверждается, что реализация регулятора на платформе на основе ПЛИС обладает высокой степенью эффективности по показателю «(скорость работы регулятора) / (сложность и стоимость реализации)».

С учётом выбранных для макетирования АЦП максимальная частота обработки данных составля-

ет 72 кГц, а при изменении АЦП она может быть повышена.

Учитывая маленькие задержки в реализованном вычислителе (< 2 мкс) и описанные выше свободные ресурсы ПЛИС, есть технические возможности для введения в систему управления СМП дополнительных функций компенсации нелинейностей системы, повышающих качество работы системы с МП в целом, таких как наблюдатель состояния для управления по потоку [4].

Выводы. Проблема временных задержек при цифровом управлении СМП требует большего внимания и состоит в нахождении баланса между приемлемой для системы управления величиной ошибок управления (ошибки включают в себя задержки, несоответствия реальных объектов их моделям, на основании которых строится управление, и др.) и сложностью реализации алгоритма управления (в т. ч. временем и стоимостью разработки).

В связи с этой проблемой одна из задач усовершенствования СМП может быть сформулирована следующим образом: создать регулятор, работающий по базовому алгоритму (рис. 3) и имеющий минимальную задержку на вычисления. При этом он должен быть максимально прост в реализации и иметь возможность усложнения алгоритма. Для решения данной задачи наиболее рациональна аппаратная платформа, основу которой составляет ПЛИС.

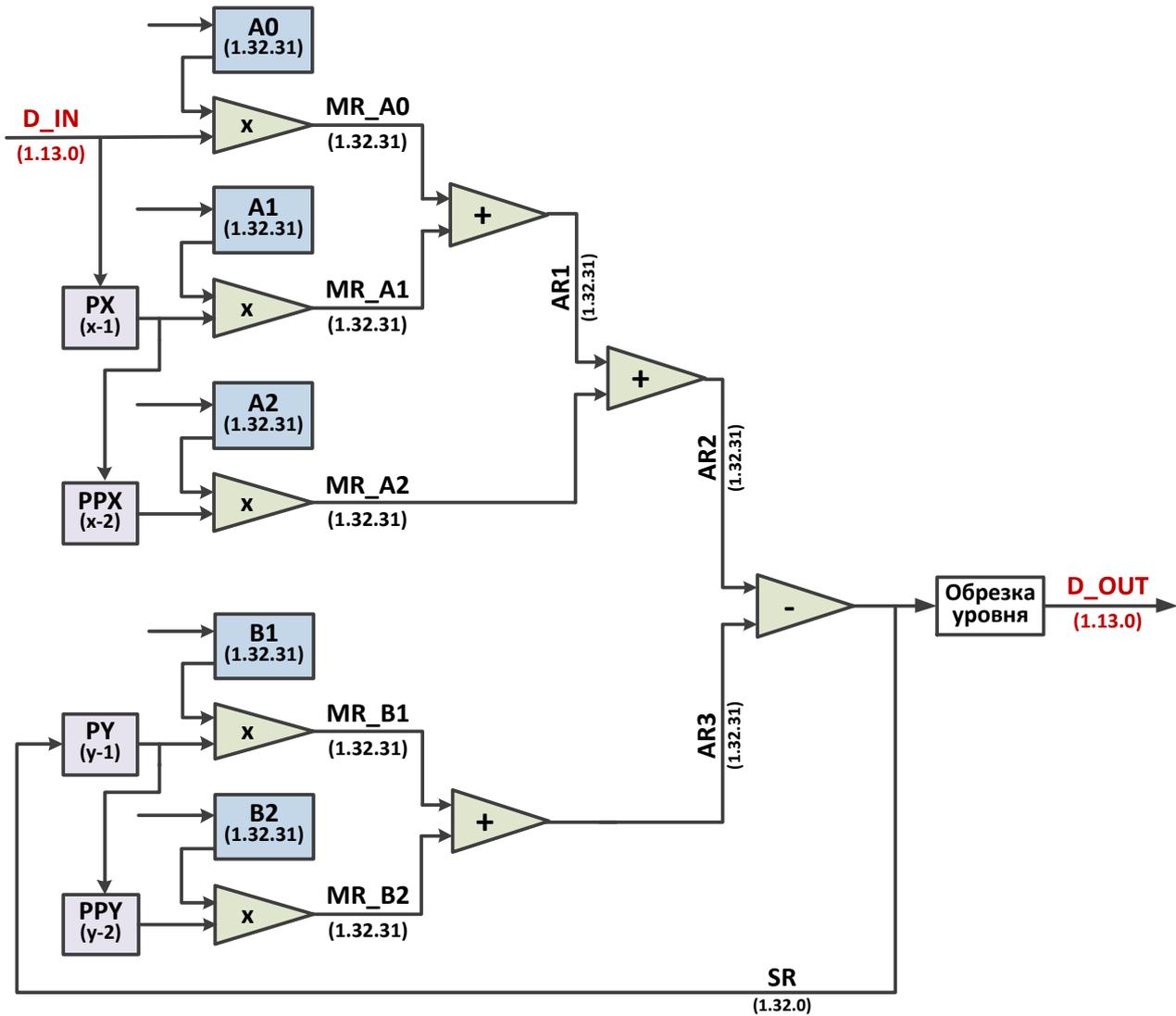
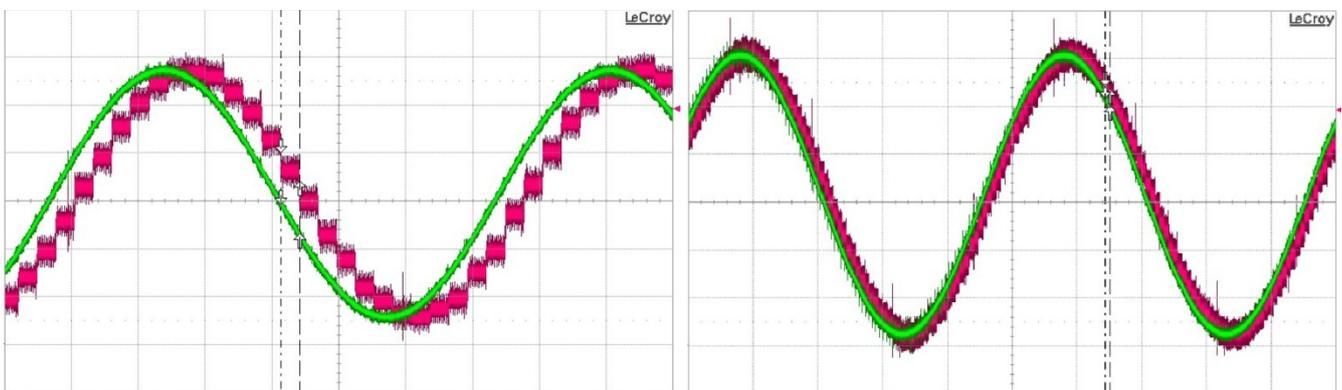


Рис. 4. Программная структура передаточной функции второго порядка (ПФ)



развёртка: 50 мкс/дел
X2 - X1 = 13,97 мкс

развёртка: 200 мкс/дел
X2 - X1 = 14,26 мкс

Рис. 5. Результаты макетирования регулятора с нулевыми коэффициентами и усилением, равным 1

Разработан и проверен путём макетирования регулятора вычислитель, представляющий собой систему жёсткого реального времени, реализованную на платформе с ПЛИС Altera Cyclone IV.

В базовом виде вычислитель включает в себя пять каналов управления, состоящих из функциональных блоков чтения и преобразования данных с АЦП, обработки этих данных передаточными функциями второго порядка (цифровой обработки сигналов, ЦОС), хранения этих коэффициентов и других настроек, выдачи результатов вычислений на ЦАПы, формирования ШИМ-сигналов управления усилителями тока, интерфейса для изменения коэффициентов регулятора извне.

Реализованный вычислитель одного канала занимает в среднем не более 10 % физических ресурсов ПЛИС, следовательно на используемой ПЛИС возможно реализовать необходимое количество каналов управления, оставив существенный запас физических ресурсов для планируемого дополнительного функционала в виде наблюдателя состояния СМП.

Проведённое макетирование подтвердило полную работоспособность регулятора в соответствии с базовым алгоритмом ЦОС и показало, что существенным преимуществом данной реализации является то, что общая задержка на вычислителе составляет менее 2 мкс, предоставляя таким образом временной ресурс для дополнительного функционала.

Как показал пример регулятора для магнитного подвеса, перевод систем с микроконтроллеров на ПЛИС может оказаться удобным и оптимальным решением не только для систем управления магнитным подвесом, но и для многих других систем,

благодаря таким качествам ПЛИС, как высокое быстродействие, параллелизм вычислений, универсальность, гибкость, надёжность, модифицируемость и высокая логическая ёмкость.

Литература

1. Бесекерский В. А., Попов Е. П. Теория систем автоматического управления / В. А. Бесекерский, Е. П. Попов. – СПб. : Профессия, 2003. – 752 с.
2. Абдурегимов А. С., Верещагин В. П. Особенности цифровой аппаратуры управления электромагнитными подшипниками газоперекачивающих агрегатов // Вопросы электромеханики. Труды НПП ВНИИЭМ. – М. : ФГУП «НПП ВНИИЭМ», 2010. – Т. 115. – № 2. – С. 19 – 26.
3. Верещагин В. П., Клабуков В. А., Рогоза А. В. Управление электромагнитными подшипниками с обратной связью по магнитному потоку // Вопросы электромеханики. Труды ВНИИЭМ. – М. : ОАО «Корпорация «ВНИИЭМ», 2012. – Т. 131. – № 6. – С. 3 – 9.
4. Структура системы управления электромагнитными подшипниками / Д. Н. Богданов, В. П. Верещагин // Вопросы электромеханики. Труды НПП ВНИИЭМ. – М. : ФГУП «НПП ВНИИЭМ», 2010. – Т. 114. – № 1. – С. 9 – 14.
5. ПЛИС Xilinx и цифровая обработка сигналов. Особенности, преимущества, перспективы / И. Тарасов // Электроника: наука, технология, бизнес // РИЦ «Техносфера», 2011. – Т. 109. – С. 70 – 74; DSP+PCI = ПЛИС / А. Прохоренко // Компоненты и технологии. – 2000. – № 8.
6. Черемисин А. Г. Оценка эффективности применения ПЛИС и процессоров DSP для задач цифровой обработки сигналов // Научно-технический вестник информационных технологий, механики и оптики / ФГБОУ ВПО «СПбНИУ ИТМО». – 2006. – № 32. – С. 44 – 47.

Поступила в редакцию 05.12.2016

*Ирина Валерьевна Гурова, инженер,
т. (495) 366-31-88.*

*Владимир Петрович Верещагин, д-р техн. наук, главный научн. сотрудник,
т. (495) 365-50-73.*

*E-mail: vniiem@vniiem.ru.
(АО «Корпорация «ВНИИЭМ»).*

UPGRADING THE DIGITAL REGULATOR INTENDED FOR THE MAGNETIC SUSPENSION CONTROL SYSTEM

I.V. Gurova, V.P. Vereshchagin

Key features of the signal conversion during the digital control of the magnetic suspension system have been revised. The impact that digital control errors have on the quality of control has been carefully evaluated and ways to mitigate the effects related to the implementation of the digital control activities have been found. Strengths and weaknesses of the four commonly used base options for the digital control platform have been analyzed. One of these options has been selected in order to upgrade the regulator of the magnetic suspension control system – programmable logic device (PLD), providing optimal parameters for the magnetic suspension control, resulting in the minimal processing delay and ease of development of the regulator on its basis. The selection of the base structure of the improved digital regulator intended for

the magnetic suspension control system (designed in the form of prototype, based on PLD) has been justified. A detailed description of the digital signal processing (DSP) unit and its implementation on PLD is given, as it's highly complicated in development and has extremely critical demands on timing characteristic. Experimental research of the regulator's prototype has been performed. The analysis of breadboarding results indicates that PLD can be effectively used to improve performance and functionality of the magnetic suspension system digital regulators.

Key words: digital regulator, magnetic suspension system, computer structure, regulator prototype based on PLD.

References

1. Besekerskii V. A., Popov E. P. Theory of automated control systems / V. A. Besekerskii, E. P. Popov. – Saint Petersburg: Profession, 2003. – 752 p.
2. Abduragimov A. S. Vereshchagin V. P. Special features of digital equipment intended for the control of electromagnetic bearings of gas compressor units // Electromechanical Matters. FSUE VNIEM Studies. – M. : FSUE «NPP VNIEM», 2010. – T. 115. – No 2. – P. 19 – 26.
3. Vereshchagin V. P., Klabukov V. A., Rogoza A. V. Control of the electromagnetic bearings with the magnetic flux feedback // Electromechanical Matters. VNIEM Studies. – M. : VNIEM Corporation' JSC, 2012. – T. 131. – No 6. – P. 3 – 9.
4. Electromagnetic bearings control system structure / D. N. Bogdanov, V. P. Vereshchagin // Electromechanical Matters. VNIEM Studies. – M. : FSUE «NPP VNIEM», 2010. – T. 114. – No 1. – P. 9 – 14.
5. Xilinx PLD and digital signal processing. Features, advantages, opportunities / Tarasov I. // Electronics: science, technology, business // «Technosphaera» publishing house, 2011. – T. 109. – P. 70 – 74; DSP+PCI = PLD / Prokhorenko A. // Components and technologies. – 2000. – No 8.
6. Cheremisin A. G. Evaluation of the effectiveness of PLD and DSP processors application for the purposes of digital signal processing // Scientific and technical journal of informational technologies, mechanics and optics / FSBEI HE «ITMO University». – 2006. – No 32. – P. 44 – 47.

*Irina Valerevna Gurova, engineer,
tel. (495) 366-31-88.*

*Vladimir Petrovich Vereshchagin, Doctor of Technical Sciences, Chief Researcher,
tel. (495) 365-50-73. E-mail: vniem@vniem.ru.
(JC «VNIEM Corporation»).*